

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-350581

(43)Date of publication of application : 22.12.1994

(51)Int.Cl.

H04L 7/00

H03M 9/00

H04J 3/06

(21)Application number : 05-135675

(71)Applicant : NEC CORP

(22)Date of filing : 07.06.1993

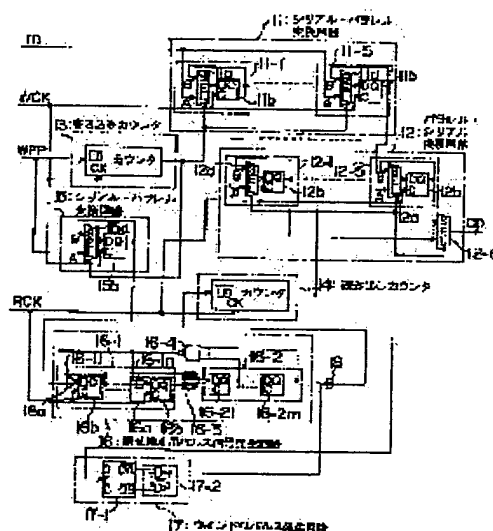
(72)Inventor : NAGAMOTO MAMORU

(54) DATA PHASE CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To realize the phase conversion of data without giving the phase replacement timing control signal from a data phase conversion circuit.

CONSTITUTION: A serial parallel conversion circuit 15 of a data phase conversion circuit realizing data phase replacement through parallel expansion of input data ID applies serial parallel expansion to a write frame pulse WFP similarly to the case with the input data ID. A replacement pulse signal generating circuit 16 makes re-timing based on a read clock signal RCK to realize phase replacement of data by generating a phase conversion timing pulse (read frame pulse) nearly in the midposition. Thus, the scale of a phase conversion frame pulse generating circuit is reduced and the number of signals for frame pulse distribution is decreased and 1:5 serial/parallel expansion at all signal speeds is executed uniquely, then data phase conversion is implemented.



LEGAL STATUS

[Date of request for examination] 07.06.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2076872

[Date of registration] 09.08.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 06.12.1999

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-350581

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/00	A	7741-5K		
H 0 3 M 9/00	A	9382-5J		
H 0 4 J 3/06	D	8226-5K		

審査請求 有 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平5-135675

(22) 出願日 平成5年(1993)6月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 長本 護

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 後藤 洋介 (外2名)

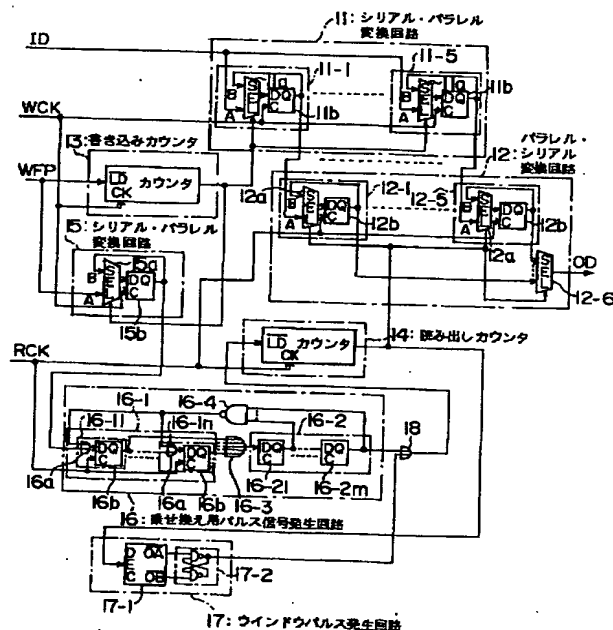
(54) 【発明の名称】 データ位相変換回路

(57) 【要約】

【目的】 データ位相変換回路にて位相乗せ換えタイミング用の制御信号を与えることなくデータの位相変換を実現する。

【構成】 入力データ ID をパラレル展開することによりデータ位相乗せ換えを実現するデータ位相変換回路において、シリアル・パラレル変換回路 15 が書き込み用フレームパルス WFP を入力データ ID と同様にシリアル・パラレル展開し、乗せ換え用パルス信号発生回路 16 が読み出しクロック信号 RCK でリタイミングし、そのほぼ中央の位置に位相変換用タイミングパルス（読み出し用フレームパルス）を作り出すことで、データの位相乗せ換えを実現する。

【構成】 位相変換用フレームパルス作成回路の規模を削減すると共に、フレームパルス配分のための信号本数を削減し、また全ての信号速度について 1 : 5 のシリアル・パラレル展開を一意に行えばデータ位相変換が行える。



1

【特許請求の範囲】

【請求項1】 入力データをパラレル展開することによりデータ位相乗せ換えを実現するデータ位相変換回路において、

外部から供給される書き込み用フレームパルスに同期して、前記入力データと同位相で外部から供給される書き込みクロック信号によりカウント動作を行い、書き込みカウンタ値を出力する書き込みカウンタと、

前記入力データを、前記書き込みカウンタ値に基づいて前記書き込みクロック信号に同期して、パラレルデータにシリアル・パラレル変換するデータ用シリアル・パラレル変換回路と、

読み出し用フレームパルスに同期して、外部から供給される読み出しクロック信号によりカウント動作を行い、読み出しカウンタ値を出力する読み出しカウンタと、前記パラレルデータを、前記読み出しカウンタ値に基づいて前記読み出しクロック信号に同期して、出力データにパラレル／シリアル変換するパラレル・シリアル変換回路と、

前記書き込み用フレームパルスを前記書き込みクロック信号に同期してパラレル展開するフレームパルス用シリアル・パラレル変換回路と、

該フレームパルス用シリアル・パラレル変換回路から出力されるパラレル展開されたフレームパルス信号を前記読み出しクロック信号に位相乗せ換えし、かつ前記パラレル展開されたフレームパルス信号のパルス位置のほぼ中央の位置に前記読み出しクロック信号の1クロック周期幅をもつ乗せ換え用パルスを作成する乗せ換え用パルス信号発生回路とを有し、

前記乗せ換え用パルスを前記読み出し用フレームパルスとして前記読み出しカウンタに供給することを特徴とするデータ位相変換回路。

【請求項2】 入力データをパラレル展開することによりデータ位相乗せ換えを実現するデータ位相変換回路において、

外部から供給される書き込み用フレームパルスに同期して、前記入力データと同位相で外部から供給される書き込みクロック信号によりカウント動作を行い、書き込みカウンタ値を出力する書き込みカウンタと、

前記入力データを、前記書き込みカウンタ値に基づいて前記書き込みクロック信号に同期して、パラレルデータにシリアル・パラレル変換するデータ用シリアル・パラレル変換回路と、

読み出し用フレームパルスに同期して、外部から供給される読み出しクロック信号によりカウント動作を行い、読み出しカウンタ値を出力する読み出しカウンタと、前記パラレルデータを、前記読み出しカウンタ値に基づいて前記読み出しクロック信号に同期して、出力データにパラレル／シリアル変換するパラレル・シリアル変換回路と、

2

前記書き込み用フレームパルスを前記書き込みクロック信号に同期してパラレル展開するフレームパルス用シリアル・パラレル変換回路と、

該フレームパルス用シリアル・パラレル変換回路から出力されるパラレル展開されたフレームパルス信号を前記読み出しクロック信号に位相乗せ換えし、かつ前記パラレル展開されたフレームパルス信号のパルス位置のほぼ中央の位置に前記読み出しクロック信号の1クロック周期幅をもつ乗せ換え用パルスを作成する乗せ換え用パルス信号発生回路と、

前記読み出しカウンタ値をデコードすることによりウィンドウパルスを作成するウィンドウパルス発生回路と、前記乗せ換え用パルスが前記ウィンドウパルスからはずれた場合に、前記読み出しカウンタへ前記読み出し用フレームパルスを供給する乗せ換えタイミング変動吸収回路とを有することを特徴とするデータ位相変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータ位相変換回路に関し、特に、位相乗せ換えタイミング用の制御信号を与えることなく入力データの位相変換を実現するデータ位相変換回路に関する。

【0002】

【従来の技術】 従来、入力データをパラレル展開することによりデータ位相乗せ換えを実現するデータ位相変換回路は、入力データをシリアル・パラレル変換（パラレル展開）し、パラレルデータをパラレル／シリアル変換することにより、入力データの位相乗せ換えを実現している。入力データのシリアル・パラレル変換は、入力データと同位相の書き込みクロック信号と、入力データと同位相のシリアル・パラレル変換タイミングパルス（書き込み用フレームパルス）とを用いて行われる。パラレルデータのパラレル／シリアル変換は、乗せ換え位相のクロック信号（読み出しクロック信号）と、乗せ換えタイミングパルス（読み出し用フレームパルス）とを用い行われ、パラレル展開時の各信号の乗せ換えタイミングを作成し、そのタイミングでパラレルデータが乗せ換えられる。

【0003】 図3に従来のデータ位相乗せ換えを実現するデータ位相変換回路の構成を示す。図示のデータ位相変換回路は、シリアル・パラレル変換回路11と、パラレル・シリアル変換回路12と、書き込みカウンタ13と、読み出しカウンタ14とを有する。このデータ位相変換回路には、入力データIDと、書き込みクロック信号WCKと、書き込み用フレームパルスWFPと、読み出しクロック信号RCKと、読み出し用フレームパルスRFPとが供給され、データ位相変換回路から出力データODが出力される。

【0004】 書き込みカウンタ13には書き込みクロック信号WCKと書き込み用フレームパルスWFPとが供

3

給される。書き込みクロック信号WCKは入力データIDと同位相のクロック信号である。書き込みカウンタ13は書き込みクロック信号WCKによりカウント動作を行うカウンタで、かつ書き込み用フレームパルスWFPに同期したカウンタである。書き込みカウンタ13はシリアル・パラレル変換回路11に書き込みカウンタ値を出力する。図示の書き込みカウンタ13は、5進カウンタで、書き込みカウンタ値は書き込みクロック信号WCKに同期して、“0”から“4”に1ずつ変化し、“4”の後に“0”に戻る。

【0005】シリアル・パラレル変換回路11には入力データIDと書き込みクロック信号WCKとが供給されると共に、書き込みカウンタ13から書き込みカウンタ値が供給される。図示のシリアル・パラレル変換回路11は、第1乃至第5のラッチ回路11-1、…、11-5から構成される。第1乃至第5のラッチ回路11-1～11-5の各々はセクタ(SEL)11aとDフリップ・フロップ11bとから成る。セクタ11aの第1の入力端子Aには入力データIDが供給され、第2の入力端子BにはDフリップ・フロップ11bの出力端子Qから出力されたデータが供給される。セクタ11aは入力データIDとDフリップ・フロップ11bからの出力データ的一方を書き込みカウンタ13からの書き込みカウンタ値に応じて選択し、選択したデータをDフリップ・フロップ11bの入力端子Dに供給する。Dフリップ・フロップ11bのクロック端子Cには書き込みクロック信号WCKが供給される。Dフリップ・フロップ11bは書き込みクロック信号WCKに同期して選択したデータをラッチする。本例において、第1乃至第5のラッチ回路11-1～11-5のセクタ11aは、それぞれ、書き込みカウンタ値が“0”～“4”のときに入力データIDを選択し、選択したデータに対応のDフリップ・フロップ11bに供給する。シリアル・パラレル変換回路11は、第1乃至第5のラッチ回路11-1～11-5でそれぞれラッチした第1及び第5のラッチデータをパラレルデータとして出力する。

【0006】同様に、読み出しカウンタ14には読み出しクロック信号RCKと読み出し用フレームパルスRFPとが供給される。読み出しカウンタ14は読み出しクロック信号RCKによりカウント動作を行うカウンタで、かつ読み出し用フレームパルスRFPに同期したカウンタである。読み出しカウンタ14はパラレル・シリアル変換回路12に読み出しカウンタ値を出力する。図示の読み出しカウンタ14も書き込みカウンタ13と同様に5進カウンタである。

【0007】パラレル・シリアル変換回路12には読み出しクロック信号RCKが供給されると共に、シリアル・パラレル変換回路11及び読み出しカウンタ14からそれぞれパラレルデータおよび読み出しカウンタ値が供給される。図示のパラレル・シリアル変換回路12は、

4

第1乃至第5のラッチ回路12-1、…、12-5と、セクタ12-6とから構成される。第1乃至第5のラッチ回路12-1～12-5には、それぞれ、シリアル・パラレル変換回路11の第1乃至第5のラッチ回路11-1～11-5から出力された第1乃至第5のラッチデータが供給される。第1乃至第5のラッチ回路12-1～12-5の各々はセクタ12aとDフリップ・フロップ12bとから成る。第1乃至第5のラッチ回路12-1～12-5のセクタ12aの第1の入力端子Aには、それぞれ、第1乃至第5のラッチ回路11-1～11-5からの第1乃至第5のラッチデータが供給され、第2の入力端子BにはDフリップ・フロップ12bの出力端子Qから出力されたデータが供給される。セクタ12aは供給されたラッチデータとDフリップ・フロップ12bからの出力データ的一方を読み出しカウンタ14からの読み出しカウンタ値に応じて選択し、選択したデータをDフリップ・フロップ12bの入力端子Dに供給する。Dフリップ・フロップ12bのクロック端子Cには読み出しクロック信号RCKが供給される。Dフリップ・フロップ12bは読み出しクロック信号RCKに同期して選択したデータをラッチする。本例において、第1乃至第5のラッチ回路12-1～12-5のセクタ12aは、それぞれ、読み出しカウンタ値が“0”～“4”のときに第1乃至第5のラッチデータを選択し、選択したデータに対応のDフリップ・フロップ12bに供給する。第1乃至第5のラッチ回路12-1～12-5はそれぞれラッチした第1及び第5のラッチデータをセクタ12-6に供給する。セクタ12-6は、読み出しカウンタ14からの読み出しカウンタ値に応じて、第1乃至第5のラッチ回路12-1～12-5からの第1及び第5のラッチデータの1つを選択し、選択したデータを出力データODとして出力する。本例において、セクタ12-6は、読み出しカウンタ値が“0”～“4”のときに、それぞれ、第5、第1乃至第4のラッチデータを選択する。なお、このセクタ12-6の選択動作はこれに限定しないのは言うまでもない。

【0008】次に、図4を参照して、従来のデータ位相変換回路の動作について説明する。最初に、シリアルデータである入力データIDをパラレルデータに変換するときの動作について説明し、その後で、パラレルデータを出力データODに変換するときの動作について説明する。

【0009】シリアル/パラレル変換時、シリアル・パラレル変換回路11は、書き込みカウンタ13が出力する書き込みカウンタ値で入力データIDをラッチすることにより、入力データIDをパラレルデータに変換する。書き込み用フレームパルスWFPにより指示される各タイムスロットの信号のシリアル・パラレル変換を定常で行うことが可能になる。

【0010】パラレル／シリアル変換時、パラレル・シリアル変換回路12は、読み出しカウンタ14が出力する読み出しカウンタ値で、シリアル・パラレル変換回路11が出力するパラレルデータを読み出しクロック信号RCKによりラッチすることで位相の乗せ換えを行い、ラッチデータを読み出しカウンタ14が出力する読み出しカウンタ値により選択することにより、パラレルデータをパラレル・シリアル変換して出力データODを出力する。

【0011】図4から明らかなように、読み出しクロック信号RCKの読み出し用フレームパルスRFPのパルス位置でのクロックの立上がりは、書き込みクロック信号WCKの書き込み用フレームパルスWFPのパルス位置でのクロックの立上がりに対して、図中の点線で示す位相範囲内であれば、変動してもデータ位相変換を行える。

【0012】

【発明が解決しようとする課題】この従来のデータ位相変換回路において、入力データの平行展開の度合いは、この回路を用いる各装置構成で、基準クロック信号からの書き込みクロック位相までのデバイスによる変動量と、基準クロック信号からの読み出しクロック位相までのデバイスの変動量との和から求められる。

【0013】また、通信装置のような装置回路規模が膨大な装置では、各処理単位毎にパッケージ分割し、プラグインユニット構成をとることでサービスの継続および保守を行っている。その際、クロック供給を司るパッケージ（以下、クロック供給パッケージと呼ぶ）からのクロックで各主信号データは処理されるが、上記保守単位はこの場合パッケージに相当する。その故障を評定する場合、自パッケージに主信号を供給すパッケージ（以下、前主信号パッケージと呼ぶ）に何らかの故障（主に入力クロック断）発生時、自パッケージの故障検出能力が低下しないように設計する。このため、前主信号パッケージから主信号を受け取る際に、自パッケージのクロックに主信号の乗せ換えを行い、自パッケージのクロックにおいて故障評定を行う場合が多い。

【0014】上述した理由から装置内でデータ位相変換を多数箇所で行う場合、各主信号データの特定タイミングスロット箇所（データ先頭位置、ここではフレームパルス位置がそれに相当）を、クロックによるリタイミング数から装置内タイミングで管理する必要がある。また上記デバイスによる変動量から各データ位相変換箇所での平行展開の度合いを検討する必要がある。

【0015】このような設計は、データ位相変換回路の汎用性をなくし、装置設計を複雑かつ設計工数のかかるものとしてきた。また、クロック供給パッケージから多数の違った位相のフレームパルスを各主信号パッケージに供給する必要があり、パッケージプラグのピンネック等を誘発する。

【0016】本発明の目的は、データ位相変換に読み出し用フレームパルス信号を用いない方式をとることにより、クロック供給パッケージでのフレームパルス作成回路の規模を削減すると共に、フレームパルス分配のための信号本数を削減することにある。

【0017】

【課題を解決するための手段】本発明のデータ位相変換回路は、入力データを平行展開することによりデータ位相乗せ換えを実現するデータ位相変換回路において、外部から供給される書き込み用フレームパルスに同期して、入力データと同位相で外部から供給される書き込みクロック信号によりカウント動作を行い、書き込みカウンタ値を出力する書き込みカウンタと、入力データを、書き込みカウンタ値に基づいて書き込みクロック信号に同期して、平行データにシリアル・パラレル変換するデータ用シリアル・パラレル変換回路と、読み出し用フレームパルスに同期して、外部から供給される読み出しクロック信号によりカウント動作を行い、読み出しカウンタ値を出力する読み出しカウンタと、平行データを、読み出しカウンタ値に基づいて読み出しクロック信号に同期して、出力データに平行／シリアル変換する平行・シリアル変換回路と、書き込み用フレームパルスを書き込みクロック信号に同期して平行展開するフレームパルス用シリアル・パラレル変換回路と、このフレームパルス用シリアル・パラレル変換回路から出力される平行展開されたフレームパルス信号を読み出しクロック信号に位相乗せ換えし、かつ平行展開されたフレームパルス信号のパルス位置のほぼ中央の位置に読み出しクロック信号の1クロック周期幅をもつ乗せ換え用パルスを作成する乗せ換え用パルス信号発生回路とを有し、乗せ換え用パルスを読み出し用フレームパルスとして読み出しカウンタに供給することを特徴とする。

【0018】上記データ位相変換回路は、更に、読み出しカウンタ値をデコードすることによりウインドウパルスを作成するウインドウパルス発生回路と、乗せ換え用パルスがウインドウパルスからはずれた場合に、読み出しカウンタへ読み出し用フレームパルスを供給する乗せ換えタイミング変動吸収回路とを有することが好ましい。

【0019】

【作用】書き込み用フレームパルスを、入力データと同様にシリアル・パラレル展開し、読み出しクロック信号でリタイミングし、そのほぼ中央の位置に位相変換用タイミングパルス（読み出し用フレームパルス）を作り出す。

【0020】

【実施例】以下、図面を参照して本発明の実施例について説明する。

【0021】図1を参照すると、本発明の一実施例によ

るデータ位相変換回路は、読み出し用フレームパルスRFPがなく、シリアル・パラレル変換回路15と、乗せ換え用パルス信号発生回路16と、ウインドウパルス発生回路17と、ゲート回路18とを備えている点を除いて、図3に示したものと同様の構成を有する。したがって、図3に示した構成要素と同様の機能を有するものには同一の参照符号を付して、それらの説明を省略し、以下では、相違点についてのみ詳細に説明する。

【0022】シリアル・パラレル変換回路15には、書き込み用フレームパルスWFPと書き込みクロック信号WCKとが供給されると共に、書き込みカウンタ13から書き込みカウンタ値が供給される。シリアル・パラレル変換回路15は、書き込み用フレームパルスWFPを、入力データID用のシリアル・パラレル変換回路11と同様に、書き込みカウンタ13からの書き込みカウンタ値に応じてパラレル展開する回路である。上述したように、書き込みカウンタ13は書き込み用フレームパルスWFPに同期したカウンタであるため、シリアル・パラレル変換回路15は1つのラッチ回路で実現できる。すなわち、シリアル・パラレル変換回路15を構成するラッチ回路は、セクタ15aとDフリップ・フロップ16bとから成る。セクタ15aの第1の入力端子Aには、書き込み用フレームパルスWFPが供給され、第2の入力端子BにはDフリップ・フロップ15bの出力端子Qから出力されたデータが供給される。セクタ15aは書き込み用フレームパルスWFPとDフリップ・フロップ15bからの出力データの一方を書き込みカウンタ13からの書き込みカウンタ値に応じて選択し、選択したデータをDフリップ・フロップ15bの入力端子Dに供給する。Dフリップ・フロップ15bのクロック端子Cには書き込みクロック信号WCKが供給される。Dフリップ・フロップ15bは書き込みクロック信号WCKに同期して選択したデータをラッチする。この例では、セクタ15aは、書き込みカウンタ値が“0”のときに書き込み用フレームパルスWFPを選択し、選択した信号をDフリップ・フロップ15bに供給する。従って、シリアル・パラレル変換回路15は、書き込み用フレームパルスWFPを書き込みクロック信号WCKの5クロック周期に相当する時間だけラッチし、ラッチした信号をパラレル展開されたフレームパルスとして出力する。

【0023】乗せ換え用パルス信号発生回路16には読み出しクロック信号RCKが供給されると共に、シリアル・パラレル変換回路15からパラレル展開されたフレームパルスが供給される。乗せ換え用パルス信号発生回路16は、シリアル・パラレル変換回路15が出力するパラレル展開されたフレームパルスを、読み出しクロック信号RCKによりリタイミングし、パラレル展開されたフレームパルスのほぼ中央の位置に、読み出しクロック信号RCKの1クロック周期に相当する幅をもつ乗せ

換え用タイミングパルスを作成する回路である。

【0024】一般に、乗せ換え用パルス信号発生回路16は、 n (n は1以上の整数) 段の遅延回路からなる前段の遅延ユニット16-1と、 m (m は1以上の整数) 段の遅延回路からなる後段の遅延ユニット16-2と、前段の遅延ユニット16-1の出力を纏めて後段の遅延ユニット16-2に転送する転送回路16-3と、後段の遅延ユニット16-2の出力を纏めて前段の遅延ユニット16-1にフィードバックするフィードバック回路16-4とから成る。

【0025】前段の遅延ユニット16-1を構成する第1乃至第 n の遅延回路16-11~16-1 n は、オアゲート16aとDフリップ・フロップ16bとから成る。

【0026】第1の遅延回路16-11において、オアゲート16aはパラレル展開されたフレームパルスとフィードバック回路16-4からのフィードバック信号との論理和をとり、その論理和結果をDフリップ・フロップ16bのデータ入力端子Dに供給する。Dフリップ・フロップ16bのクロック入力端子Cには読み出しクロック信号RCKが供給されている。Dフリップ・フロップ16bは読み出しクロック信号RCKに同期してオアゲート16aからの論理和結果を保持し、保持した信号を次段(第2)の遅延回路16-12に供給する。

【0027】第2乃至第 n の遅延回路16-12~16-1 n において、オアゲート16aは前段からの遅延回路の出力信号とフィードバック信号との論理和をとり、その論理和結果をDフリップ・フロップ16bのデータ入力端子Dに供給する。Dフリップ・フロップ16bは読み出しクロック信号RCKに同期してオアゲート16aからの論理和結果を保持し、保持した信号を次段の遅延回路に供給する。

【0028】転送回路16-3はオアゲートで構成され、前段の遅延ユニット16-1を構成する第1乃至第 n の遅延回路16-11~16-1 n の出力信号の論理和をとり、論理和結果を後段の遅延ユニット16-2に供給する。

【0029】後段の遅延ユニット16-2を構成する第1乃至第 m の遅延回路16-21~16-2 m は、Dフリップ・フロップから成る。第1の遅延回路16-21は転送回路16-3の出力信号を保持し、保持した信号を次段(第2)の遅延回路16-22に供給する。第2乃至第 m の遅延回路16-22~16-2 m は、それぞれ前段の遅延回路の出力信号を保持し、保持した信号を後段の遅延回路に供給する。

【0030】フィードバック回路16-4はナンドゲートから成り、後段の遅延ユニット16-2を構成する第1乃至第 m の遅延回路16-21~16-2 m の出力信号のナンドをとり、ナンド結果をフィードバックして前段の遅延ユニット16-1を構成する第1乃至第 n の遅

延回路16-11~16-1nに供給する。

【0031】ここで、前段の遅延ユニット16-1の段数nと後段の遅延ユニット16-2の段数mとは読み出しクロック信号RCKをどの程度遅延させるかによる。本例の場合、シリアル・パラレル変換回路15から出力されるパラレル展開されたフレームパルスが書き込みクロック信号WCKの5クロック周期に相当するパルス幅をもつので、乗せ換え用タイミングパルスをパラレル展開されたフレームパルスのほぼ中央の位置にするためには、読み出しクロック信号RCKを2クロック周期だけ遅延させれば良い。したがって、本例ではn及びmの各々は1である。

【0032】この時、図2に示すように、パラレル展開されたフレームパルスの変化点と読み出しクロック信号RCKの立上がりの位相に関係がないため、パラレル展開されたフレームパルスの変化点近傍に読み出しクロック信号RCKの立上がりがある場合、作成した乗せ換え用タイミングパルスが読み出しクロック信号RCKで1クロック周期ずれた位相で常時変動する場合は考えられる。この変動を吸収するため、本実施例では、後述する

ような、ウインドウパルス発生回路17とゲート回路18とを備えている。

【0033】ウインドウパルス発生回路17は、読み出しカウンタ14が出力する読み出しカウンタ値をデコードすることから、読み出しカウンタ14にロードがかかるパルス位置の前後1ビット広げたウインドウパルスを発生する回路である。ウインドウパルス発生回路17は、デコーダ17-1と、2個のナンドゲートから構成されたSRフリップ・フロップ17-2とを有する。

【0034】ゲート回路18は、乗せ換え用パルス信号発生回路16から出力された乗せ換え用タイミングパルスの変動吸収を行うためのゲート回路である。すなわち、ゲート回路18は、乗せ換え用パルス信号発生回路16から出力された乗せ換え用タイミングパルスをウインドウパターン発生回路17から発生されたウインドウパルスでマスクすることにより、ウインドウパルスから乗せ換え用タイミングパルスがはずれた場合のみ読み出しカウンタ14にロードを掛ける。これにより、乗せ換え用パルス信号発生回路16から発生しうる乗せ換え用タイミングパルスの変動でのデータの位相乗せ換えエラーがなくなる。

【0035】本実施例のデータ位相変換回路を用いると、入力データのパラレル展開の度合いは、乗せ換え用タイミングパルスの変動を見込んだウインドウパルス幅(3クロック幅)にシリアル・パラレル変換回路のラッ

チタイミングマージン(セットアップ・ホールドタイミングマージン)分を更に前後1クロック幅分とった、1:5のシリアル・パラレル展開をすれば良く、一意に決まる。

【0036】尚、本発明は上述した実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々の変更が可能であるのは勿論である。

【0037】

【発明の効果】以上説明したように本発明のデータ位相変換回路は、書き込み用フレームパルスを入力データと同様にシリアル・パラレル展開し、読み出しクロック信号でリタイミングし、そのほぼ中央の位置に読み出し用フレームパルスを作成することで、装置構成上、クロック供給パッケージでのフレームパルス作成回路の規模を削減すると共に、フレームパルス配分のための信号本数を削減するという効果を有する。

【0038】また従来、入力データのパラレル展開の度合いは、従来のデータ位相変換回路を用いる各装置構成で、基準クロックからの書き込みクロック位相までのデバイスによる変動量と、基準クロックからの読み出しクロック位相までのデバイスによる変動量との和から求めたが、本発明の構成を用いることで、パラレル展開の度合いは、1:5のシリアル・パラレル展開をすれば良く一意に決まり、回路の汎用性及び設計工数の削減が可能になるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例によるデータ位相変換回路の構成を示すブロック図である。

【図2】図2に示すデータ位相変換回路中の乗せ換え用パルス信号発生回路のタイミングの詳細を示す図である。

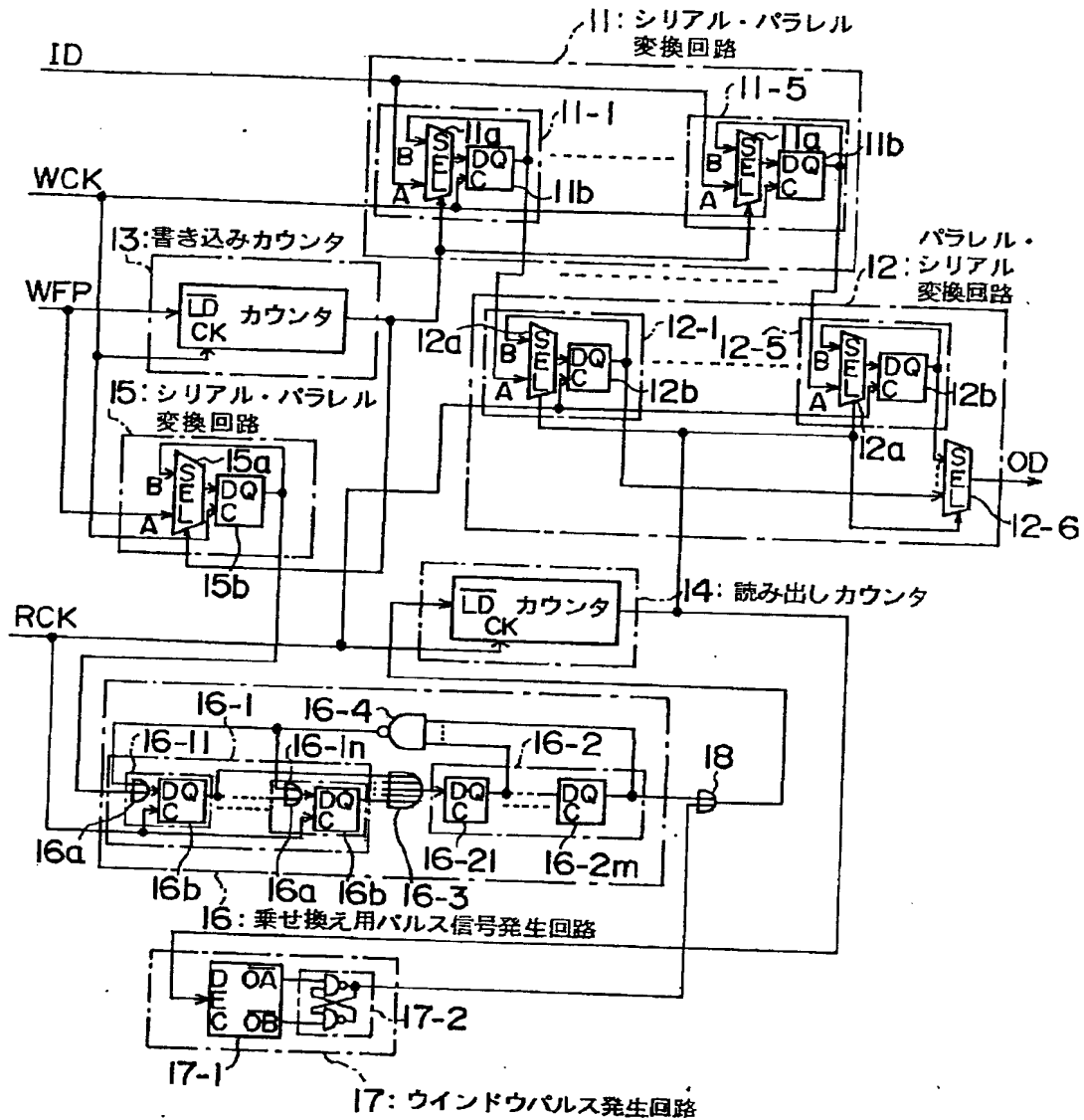
【図3】従来のデータ位相変換回路の構成を示すブロック図である。

【図4】図3に示すデータ位相変換回路での各部のタイミングチャートである。

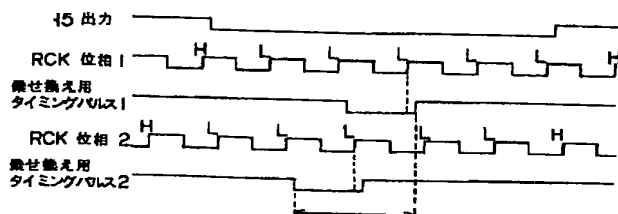
【符号の説明】

- 11 シリアル・パラレル変換回路
- 12 パラレル・シリアル変換回路
- 13 書き込みカウンタ
- 14 読み出しカウンタ
- 15 シリアル・パラレル変換回路
- 16 乗せ換え用パルス信号発生回路
- 17 ウインドウパルス発生回路
- 18 乗せ換えタイミング変動吸収回路

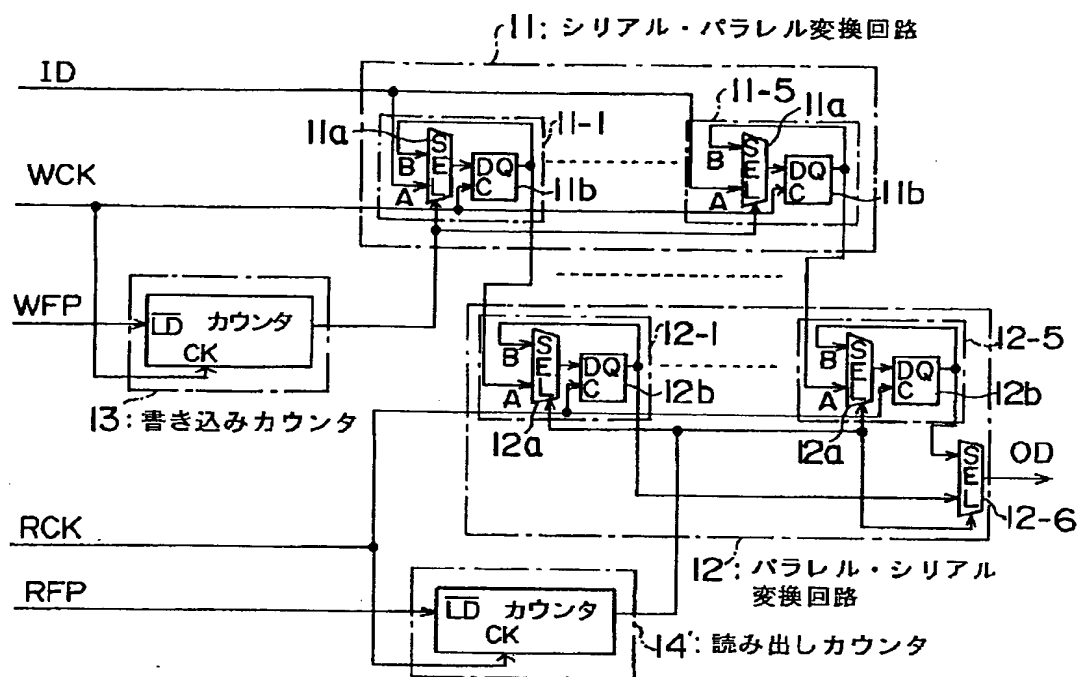
【図1】



【図2】



【図3】



【図4】

